

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS

• GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



JFH

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/709,368	
	Filing Date	04/29/2004	
	First Named Inventor	Eric Chuang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0106USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	5/12/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

**Complete if Known**

Application Number 10/709,368

Filing Date 04/29/2004

First Named Inventor Eric Chuang

Examiner Name

Art Unit

Attorney Docket No. VIAP0106USA

**METHOD OF PAYMENT** (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit  
Account  
Number  
Deposit  
Account  
Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee  
to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) (\$ ) 0.00

**2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE**

		Extra Claims		Fee from below		Fee Paid
Total Claims		-20** =		X		
Independent Claims		- 3** =		X		
Multiple Dependent						

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

**FEE CALCULATION** (continued)**3. ADDITIONAL FEES**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

**SUBMITTED BY**

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.  
(Attorney/Agent)

41,526

Telephone 886289237350

Signature

Date

5/12/2004

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

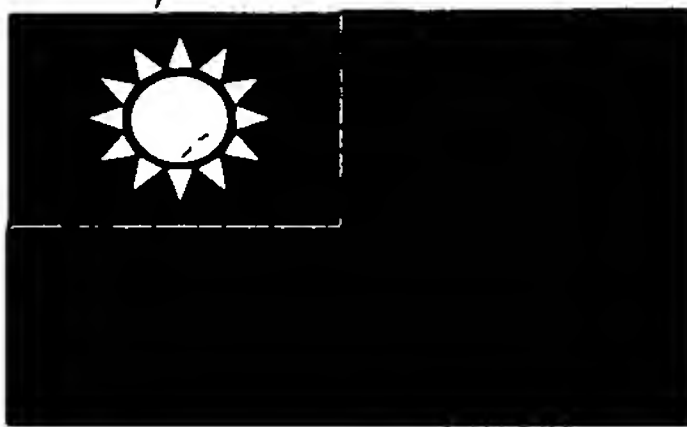
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092125063	Taiwan R.O.C	09/10/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 10 日  
Application Date

申請案號：092125063  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 17 日  
Issue Date

發文字號：09221051160  
Serial No.

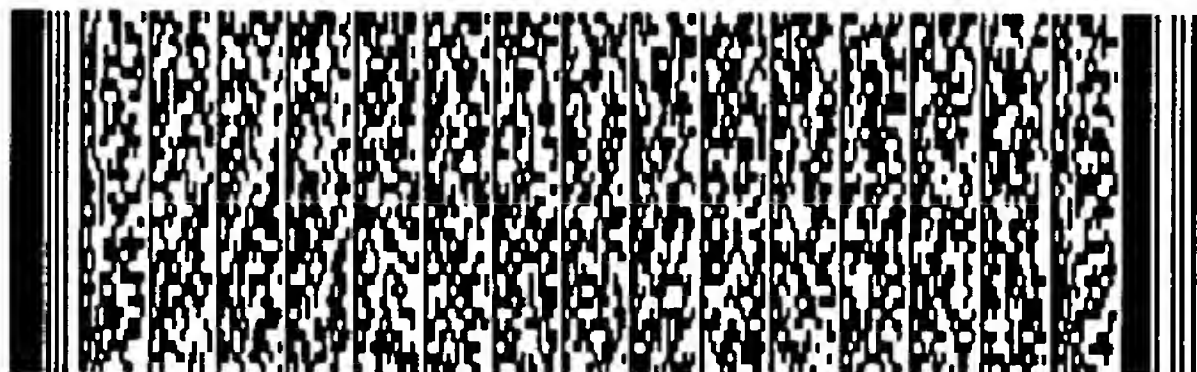


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	記憶體內資料移動的方法及裝置
	英 文	METHOD AND RELATED APPARATUS FOR CONTROLLING DATA MOVEMENT IN A MEMORY DEVICE
二、 發明人 (共2人)	姓 名 (中 文)	1. 莊榮城
	姓 名 (英 文)	1. Chuang, Eric
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. Wang, Hsueh-Hung

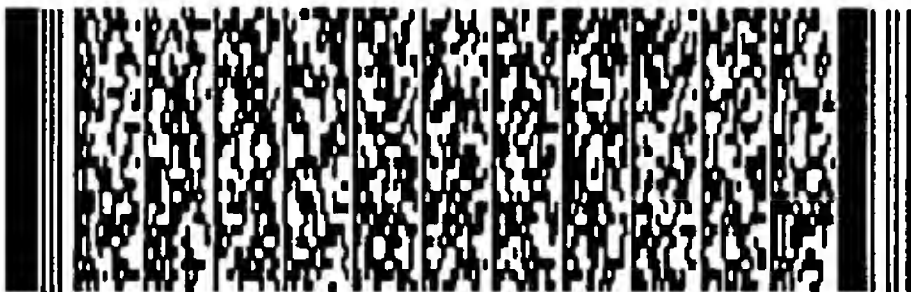


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共2人)	姓名 (中文)	2. 顏清書
	姓名 (英文)	2. Yen, Macalas
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：記憶體內資料移動的方法及裝置)

本發明係提供一種電腦系統中控制記憶體內資料移動之方法，該電腦系統包含有一處理器用來控制該電腦系統之運作，一記憶體用來儲存資料，以及一記憶體控制電路，電連接於該處理器與該記憶體之間。該方法包含有記憶體控制電路自該記憶體之第一記憶體位址讀取資料位元，以及記憶體控制電路將資料位元以不傳輸至該處理器之方式直接儲存至該記憶體之第二記憶體位址。

五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明

80 電腦系統

82 中央處理器

84 北橋電路

86 南橋電路

88 顯示控制電路

90 記憶體

92 輸入裝置

94 硬碟

六、英文發明摘要 (發明名稱：METHOD AND RELATED APPARATUS FOR CONTROLLING DATA MOVEMENT IN A MEMORY DEVICE)

A method for a computer system to control data movement in a memory device. The computer system has a processor for controlling operation of the computer system, a memory for storing data, and a memory controller electrically connected between the processor and the memory. The method includes utilizing the memory controller to retrieve a data bit located at a first memory address, and





四、中文發明摘要 (發明名稱：記憶體內資料移動的方法及裝置)

96 螢幕

98 記憶體控制電路

100 內部資料移動控制電路

102 位址暫存器

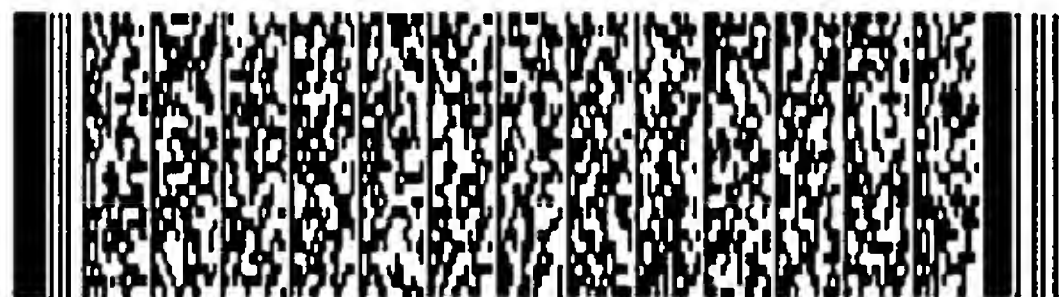
104 資料暫存器

106 記憶單元

代表化學式

六、英文發明摘要 (發明名稱：METHOD AND RELATED APPARATUS FOR CONTROLLING DATA MOVEMENT IN A MEMORY DEVICE)

utilizing the memory controller to directly store the data bit at a second memory address of the memory without delivering the data bit to the processor.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

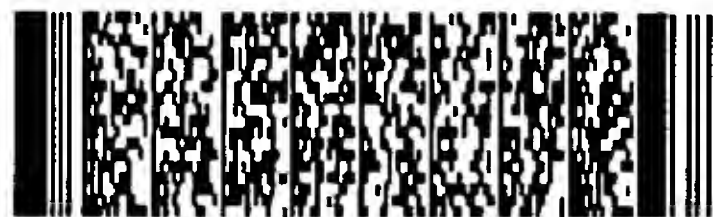
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



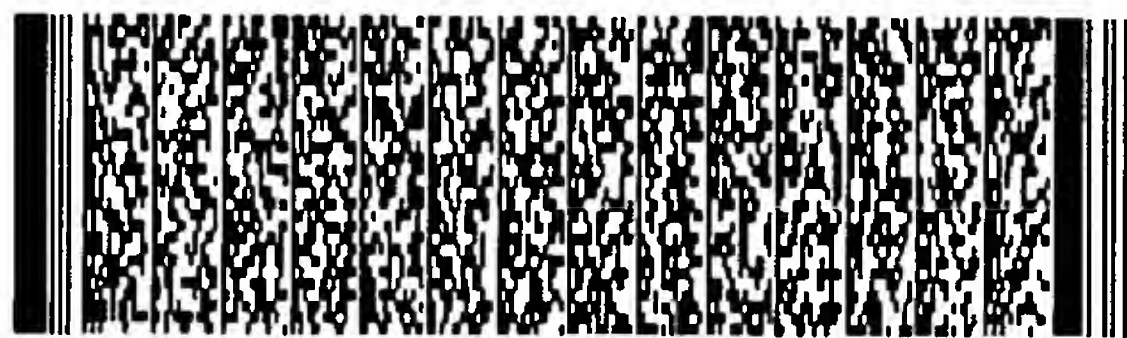
## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種記憶體內資料移動的方法及裝置，尤指一種不需中央處理器干預而可控制記憶體內資料移動的方法及其相關裝置。

### 先前技術

請參閱圖一為電腦系統架構的示意圖。電腦系統 10 包含有一中央處理器 12，一北橋電路 14，一南橋電路 16，一顯示控制電路 18，一螢幕 19，一記憶體 20，一硬碟 22，以及一輸入裝置 24。其中，記憶體 20 包含有以矩陣方式排列之複數個記憶單元 26，亦即各記憶單元 26 分別對應一行位址與一列位址。當電腦系統 10 運作時，中央處理器 12 會將記憶體 20 中所儲存之資料載入中央處理器 12 本身的暫存器 28，然後對暫存器 28 中的資料進行運算後，再回存至記憶體 20 中。記憶體 20 的資料存取操作主要係透過北橋電路 14 中的記憶體控制電路 30。記憶體控制電路 30 包含有一位址暫存器 32 以及一資料暫存器 34，其中位址暫存器 32 係用來儲存記憶體位址，而資料暫存器 34 係用來儲存欲寫入記憶體 20 的資料以及由擷取自記憶體 20 的資料。舉例來說，當中央處理器 12 執行一指令而需將記憶單元 26a 所記錄之位元資料 D 移動至記憶單元 26b 時，則中央處理器 12 會輸出對應記憶單元 26a 之位址資料

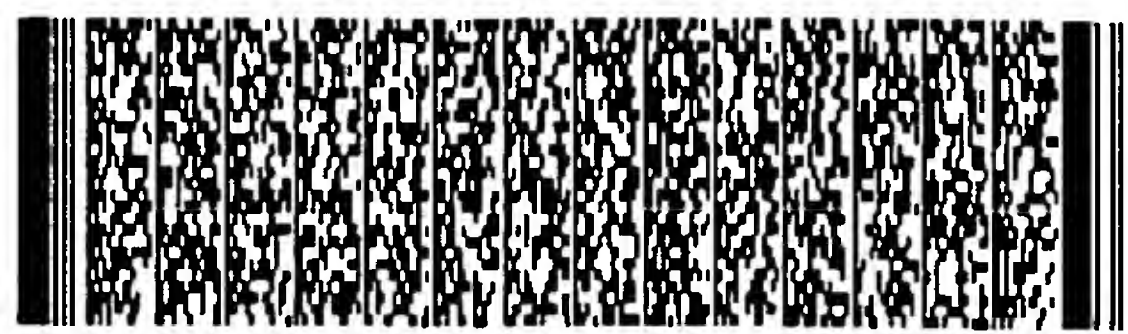


#### 五、發明說明 (2)

ADDRESSa (實體記憶體位址) 至位址暫存器 32, 而記憶體控制電路 30 便可依據該位址資料 ADDRESSa 來擷取記憶單元 26a 所記錄之位元資料 D, 並將位元資料 D 暫存於資料暫存器 34 中。然後, 記憶體控制電路 30 再將位元資料 D 傳輸至暫存器 28。由於該指令主要係移動位元資料 D, 因此中央處理器 12 不需對位元資料 D 進行任何邏輯運算, 所以, 中央處理器 12 僅需輸出對應記憶單元 26b 之位址資料 ADDRESSb 至位址暫存器 32, 以及將暫存器 28 中的位元資料 D 傳回至資料暫存器 34, 因此記憶體控制電路 30 便隨即依據位址資料 ADDRESSb 來將資料暫存器 34 中的位元資料 D 寫入記憶單元 26b 中。

雖然, 上述運作僅是記憶單元 26a 所儲存之位元資料 D 移動至另一記憶單元 26b 儲存, 且中央處理器 12 不需對位元資料 D 進行任何運算, 然而, 對於中央處理器 12 而言, 其需耗費複數個時脈週期的時間來處理資料暫存器 34 所儲存之位元資料 D 載入暫存器 28 的操作以及將暫存器 28 所儲存之位元資料 D 傳輸至資料暫存器 34 的操作, 因此會佔用中央處理器 12 之工作負載。此外, 亦會造成中央處理器 12 與北橋電路 14 之間的前端系統匯流排 (front side bus, FSB) 因為傳輸位元資料 D 而佔用其有限頻寬。

發明內容

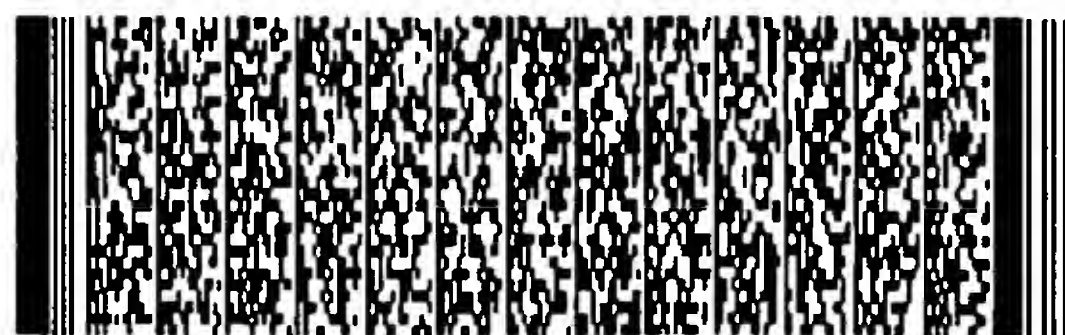
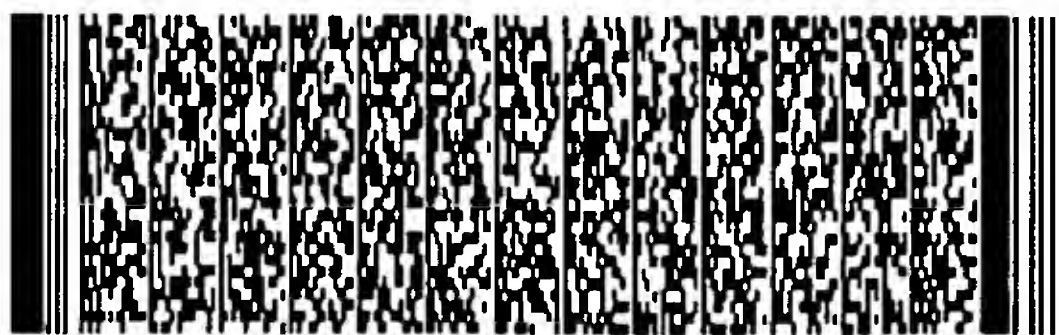


### 五、發明說明 (3)

因此本發明之主要目的在於提供一種記憶體內資料移動的方法及其相關裝置，以解決上述問題。本發明提供一種記憶體內資料移動之方法，適用於一電腦系統，該電腦系統更包括一處理器；以及一記憶體控制電路，連接於該處理器與該記憶體之間，該方法包括對下列步驟：將該記憶體之複數個第一記憶體位址上的對應資料送到該記憶體控制電路；以及使該記憶體控制電路不傳輸該些對應資料至該處理器，而直接儲存至該記憶體之複數個第二記憶體位址上。

本發明另提供一種電腦系統，包含有：一處理器，用來控制該電腦系統之運作；一記憶體，具有不同位址之複數個第一記憶體位址與複數個第二記憶體位址；以及一記憶體控制電路，電連接於該處理器與該記憶體之間，該記憶體控制電路具有一內部資料移動控制電路，用來依據該些第一記憶體位址取得複數個對應資料，然後再將該些對應資料直接儲存到該些第二記憶體位址上，而不傳輸至該處理器。

本發明電腦系統的記憶體控制電路上設置有一內部資料移動控制電路，因此當一記憶體中儲存於一記憶體位址之資料要傳輸至該記憶體中另一記憶體位址記錄之時，內部資料移動控制電路會處理上述資料傳輸的操作用，因此，本發明電腦系統之中央處理器不需干預上述





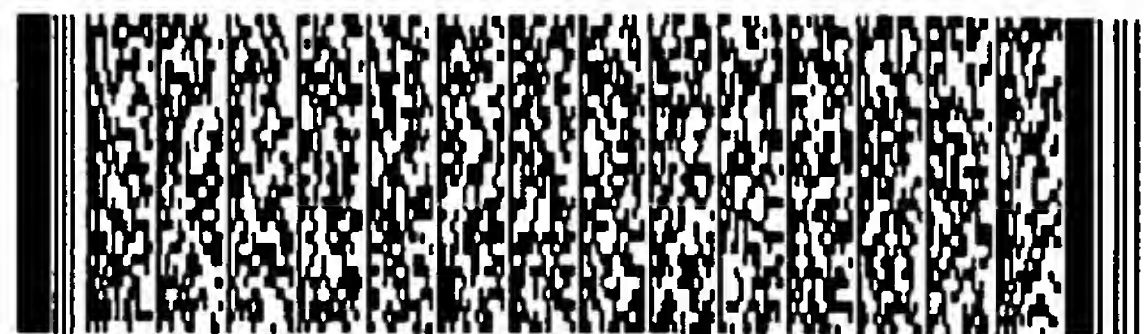
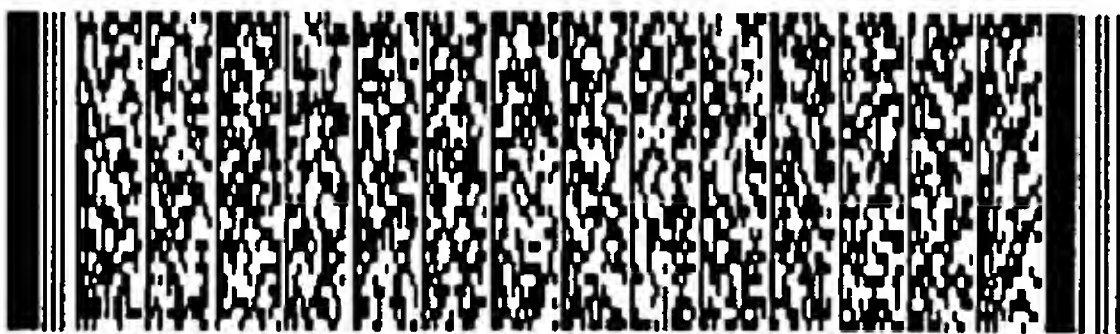
#### 五、發明說明 (4)

資料傳輸的操作。

#### 實施方式

請參閱圖二為本發明之第一種電腦系統的示意圖。電腦系統 80 包含有一中央處理器 82，一北橋電路 84，一南橋電路 86，一顯示控制電路 88，一記憶體 90，一輸入裝置 92，一硬碟 94，以及一螢幕 96。其中，北橋電路 84 內部之記憶體控制電路 98，除與第一圖相同結構之位址暫存器 102 與資料暫存器 104 外，另外還增加一內部資料移動控制電路 100，用以針對不需經過中央處理器 82 運算下的記憶體 90 內部資料作移動，在此內部資料移動控制電路 100 的控制下，記憶體 90 內部資料可以由內部記憶單元 106a 傳送到內部記憶單元 106b，而只要在北橋電路 84 內部就可進行位址控制與資料存取動作，因此減少對中央處理器 82 存取之動作，下面將進一步說明其動作。

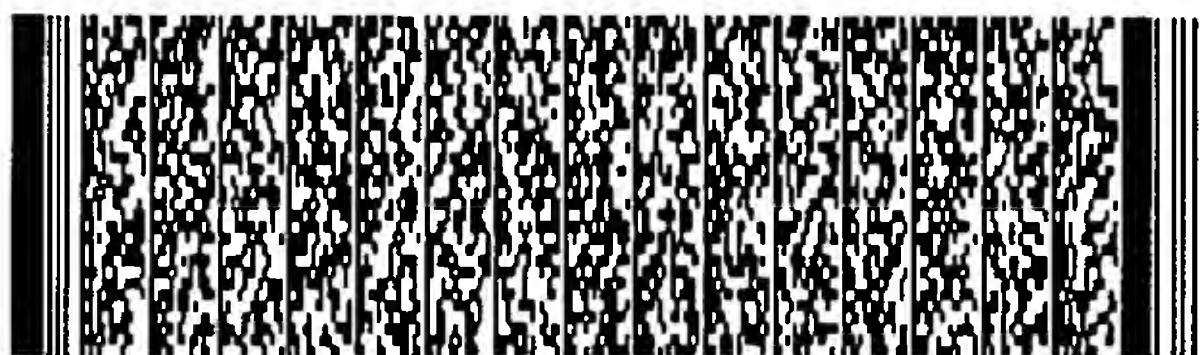
本發明中記憶體控制電路 98 增加的內部資料移動控制電路 100 係用來控制記憶體 90 中記憶單元 106a 所儲存之資料位元 D 傳輸至記憶單元 106b，首先在運作中位址暫存器 102 會儲存對應記憶單元 106a 的記憶體位址 ADDRESSa，因此內部資料移動控制電路 100 便會依據記憶體位址 ADDRESSa 來讀取記憶單元 106a，並將該資料位元 D 儲存於資料暫存器 104 中。然後，對應記憶單元 106b 的記憶體位



##### 五、發明說明 (5)

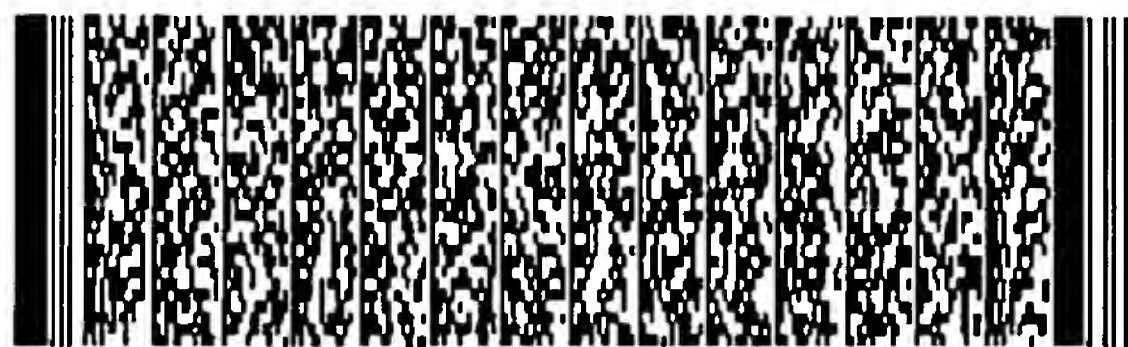
址 ADDRESSb會寫入位址暫存器 102，而內部資料移動控制電路 100便會依據記憶體位址 ADDRESSb來直接將資料暫存器 104中的資料位元 D寫入記憶單元 106b中。請注意，資料位元 D由記憶單元 106a傳遞至記憶單元 106b的過程中，記憶體控制電路 98沒有輸出資料位元 D至中央處理器 82，來控制資料傳輸的運作，而是透過內部資料移動控制電路 100來直接控制記憶體 90內部的資料移動操作，因此可降低中央處理器 82之工作負載，同時會避免佔用中央處理器 82與北橋電路 84之間之前端系統匯流排的有限頻寬。

此外，記憶體 90中移動的資料會包含有複數個資料位元，一般記憶體控制電路 98係以實體記憶體位址（例如利用記憶體位址表單（memory address table）方式）來存取記憶體 90中的記憶單元 106。請參閱圖三為圖二所示之內部資料移動控制電路 100存取記憶體 90所使用之記憶體位址表單的資料結構示意圖。記憶體位址表單 107包含有三個欄位，其中欄位 108a、108b、108n係用來紀錄實體記憶體位址，欄位 110a、110b、110n則紀錄一旗標（flag），用來表示資料是否結束（end of file, EOF），以及欄位 112a、112b、112n係用來指出自欄位 108所儲存之實體記憶體位址起需依序讀取的位元長度。當一程式欲於記憶體 90中進行資料的移動操作，該程式利用電腦系統 80之作業系統取得資料記錄於記憶體 90中



#### 五、發明說明 (6)

相對應實體記憶體位址的資訊，並產生圖三所示之記憶體位址表單 107，同時會將記憶體位址表單 107 儲存於記憶體 90 中一預定記憶區塊中。然後，該程式便可輸出一指令來啟動內部資料移動控制電路 100 來依據記憶體位址表單 107 以正確地擷取資料。因此，內部資料移動控制電路 100 可讀取欄位 108a 所記錄之記憶體位址 ADDRESSa，然後依據欄位 112a 所記錄的位元長度 LENGTHa 而自記憶體位址 ADDRESSa 起連續讀取複數個位元逐一寫入位址暫存器 102。此外，由於欄位 110a 所紀錄的旗標數值為 "0"，亦即該資料尚未結束，因此內部資料移動控制電路 100 隨即讀取欄位 108b 所記錄之記憶體位址 ADDRESSb，並依據欄位 112b 所記錄的位元長度 LENGTHb 來自記憶體位址 ADDRESSb 起連續讀取複數個位元，該複數個位元的個數等於位元長度 LENGTHb，同樣地，由於欄位 110b 所紀錄的旗標數值為 "0"，亦即該資料仍尚未結束，所以內部資料移動控制電路 100 會依據記憶體位址表單 107 來不斷地讀取記憶體 90，直到內部資料移動控制電路 100 依據欄位 108n 所紀錄的記憶體位址 ADDRESSn 以及欄位 112n 所記錄的位元長度 LENGTHn 來讀取複數個位元時，由於欄位 110n 所記錄的旗標值為 "1"，表示當內部資料移動控制電路 100 讀出對應位元長度 LENGTHn 之數量的位元時，資料已全部由內部資料移動控制電路 100 所讀取。同樣地，當記憶體控制電路 98 欲將資料寫入記憶體 90 時，作業系統亦會產生如圖四所示之記憶體位址表單 107，用來紀錄寫入



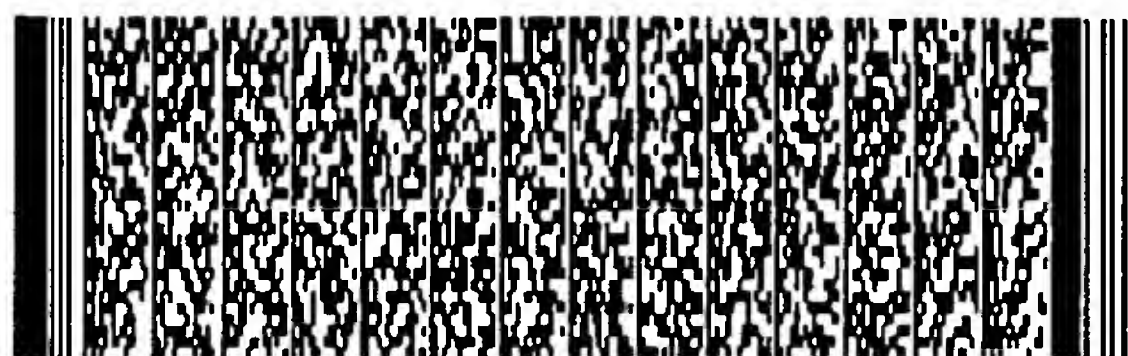


#### 五、發明說明 (7)

資料至記憶體 90 所需之實體記憶體位址的資訊，因此內部資料移動控制電路 100 便可依據另一記憶體位址表單 107 所提供的記憶體位址資訊來將資料暫存器 104 所記錄的資料寫入記憶體 90 中相關記憶單元 106 中。

若資料記錄於記憶體 90 而對應複數個實體記憶體位址 106a 且為非連續時，則需透過圖四所示之記憶體位址表單 107 來讀取資料，當然若移動到實體記憶體位址 106b 為非連續時，亦可透過記憶體位址表單 107 來分別作寫入儲存之動作。然而若資料記錄於記憶體 90 而對應複數個實體記憶體位址為連續時，作業系統僅需提供資料於記憶體 90 中的來源記憶體位址，資料的位元長度，以及資料移動至記憶體 90 之目標記憶體位址，內部資料移動控制電路 100 便可自來源記憶體位址起逐一讀取出對應位元長度的資料，並依據目標記憶體位址與資料的位元長度而自目標記憶體位址起逐一寫入對應位元長度的資料，完成資料儲存的動作。當然上述目標記憶體位址可能不只一個，在此情況下會儲存於不同目標記憶體位址下，我們亦可利用記憶體位址表單 107 來做事當的控制。

請參閱圖四為本發明第二種電腦系統的示意圖。電腦系統 120 包含有一中央處理器 122，一北橋電路 124，一南橋電路 126，一螢幕 128，一記憶體 130，一輸入裝置 132，一硬碟 134。北橋電路 124 設置有一記憶體控制電路 136 以



#### 五、發明說明 (8)

及一顯示控制電路 138，其中記憶體控制電路 136 包含有一內部資料移動控制電路 140，一位址暫存器 142，以及一資料暫存器 144。記憶體 50 劃分為一系統記憶體 148 以及一顯示記憶體 150，均設置有以矩陣方式排列之複數個記憶單元 152，。電腦系統 120 係應用共用記憶體架構 (unified memory architecture, UMA)，即中央處理器 122 與顯示控制電路 138 共用記憶體 130 來進行資料的存取，換句話說，中央處理器 122 係使用記憶體 130 中的系統記憶體 148，而顯示控制電路 138 則使用記憶體 130 中的顯示記憶體 150。圖四所示之電腦系統 120 與圖二所示之電腦系統 80 中的同名元件具有相同的功能，因此不再重複贅述。本實施例中，記憶體控制電路 136 中的內部資料移動控制電路 140 與第二圖中之內部資料移動控制電路 100 功用相同，使一資料位元 D 由記憶單元 152a 傳遞至顯示記憶體 150 中之記憶單元 152c 的過程中，或者由顯示記憶體 150 中之記憶單元 152c 傳遞至記憶單元 152a 的過程中，不需經由中央處理器 122 介入來干預資料傳輸，而是透過內部資料移動控制電路 140 來直接控制記憶體 130 內部的資料移動，所以可降低中央處理器 122 之工作負載，同時避免佔用中央處理器 122 與北橋電路 124 之間之前端系統匯流排的有限頻寬。

當然本實施例的內部資料移動控制電路 140 亦可應用，複數個實體記憶體位址係為非連續時，內部資料移動控制



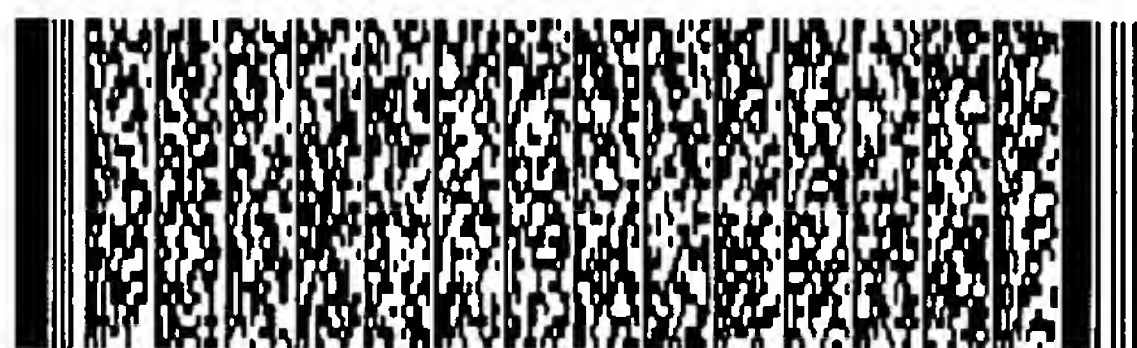


##### 五、發明說明 (9)

電路透過圖三所示之記憶體位址表單 107 來進行資料的讀取與寫入；若複數個實體記憶體位址係為連續時，僅需提供資料儲存於記憶體 130 中的來源記憶體位址，資料的位元長度，以及資料移動至記憶體 130 之目標記憶體位址等資訊予內部資料移動控制電路 140 即可，其運作與上述相同在此不再重複說明。

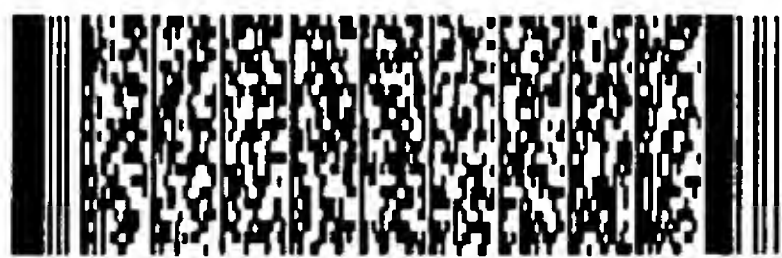
本發明電腦系統的記憶體控制電路上設置有一內部資料移動控制電路，因此當一記憶體中儲存於一預定記憶體位址之位元資料要傳輸至該記憶體中另一記憶體位址記錄時，該內部資料傳輸控制電路會讀取該位元資料，並暫存於該記憶體控制電路之資料暫存器中，然後該內部資料移動控制電路便直接將該資料暫存器中所儲存的位元資料傳輸至該記憶體中另一記憶體位址上，因此，本發明電腦系統之中央處理器不需干預該位元資料的傳輸，亦即該位元資料的傳輸完全由該內部資料移動控制電路來掌控。綜合上述，由於本發明電腦系統之記憶體內部資料移動操作不需受該中央處理器的干預，所以可降低該中央處理器的操作負載，同時該內部資料移動操作不會佔用本發明電腦系統之中央處理器與北橋電路之間匯流排的有限頻寬，所以具有較佳的效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專



五、發明說明 (10)

利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知第一種電腦系統的示意圖。

圖二為本發明第一種電腦系統的示意圖。

圖三為圖二所示之內部資料移動控制電路存取記憶體所使用之記憶體位址表單的資料結構示意圖。

圖四為本發明第二種電腦系統的示意圖。

### 圖式之符號說明

10、80、120	電腦系統	12、82、122	中央處理器
14、84、124	北橋電路	16、86、126	南橋電路
18、88、138	顯示控制電路	19、96、128	螢幕
20、90、130	記憶體	22、94、134	硬碟
24、92、132	輸入裝置	26、106、152	記憶單元
28	暫存器		
30、98、136	記憶體控制電路		
32、102、142	位址暫存器		
34、104、144	資料暫存器		
148	系統記憶體		
150	顯示記憶體		
100、140	內部資料移動控制電路		



## 六、申請專利範圍

1. 一種記憶體內資料移動之方法，適用於一電腦系統，該電腦系統更包括一處理器；以及一記憶體控制電路，連接於該處理器與該記憶體之間，該方法包括下列步驟：

將該記憶體之複數個第一記憶體位址上的對應資料送到該記憶體控制電路；以及  
使該記憶體控制電路不傳輸該些對應資料至該處理器，而直接儲存至該記憶體之複數個第二記憶體位址上。

2. 如申請專利範圍第1項所述之記憶體內資料移動之方法，其中該些第一記憶體位址為連續，則該些對應資料送到該記憶體控制電路，係將該些對應資料之一來源記憶體位址與一位元長度送到該記憶體控制電路記憶體記憶體。

3. 如申請專利範圍第2項所述之記憶體內資料移動之方法，其中該記憶體另提供一目標記憶體位址，用以使該記憶體控制電路將該些對應資料直接儲存至連續的該些第二記憶體位址上。

4. 如申請專利範圍第2項所述之記憶體內資料移動之方法，其中該記憶體另提供複數個目標記憶體位址，用以使該記憶體控制電路將該些對應資料直接儲存至不連續的該些第二記憶體位址上。



## 六、申請專利範圍

5. 如申請專利範圍第1項所述記憶體內資料移動之方法，其中記憶體該些第一記憶體位址為不連續，則提供一第一記憶體位址表單，給該記憶體控制電路，用以接收該些對應資料。
6. 如申請專利範圍第5項所述記憶體內資料移動之方法，其中該第一記憶體位址表單包括複數個欄位，每一欄位具有一實體記憶體位址、一位元長度以及一旗標，分別紀錄該些第一記憶體位址之起始位址、位址之位元長度以及該些對應資料是否結束。
7. 如申請專利範圍第5項所述記憶體內資料移動之方法，其中該些第二記憶體位址為不連續，則提供一第二記憶體位址表單，使記憶體控制電路將該些對應資料直接儲存至該些第二記憶體位址上。
8. 如申請專利範圍第7項所述記憶體內資料移動之方法，其中該第二記憶體位址表單包括複數個欄位，每一欄位具有一實體記憶體位址、一位元長度以及一旗標，分別紀錄該些第一記憶體位址之起始位址、位址之位元長度以及該些對應資料是否結束。
9. 如申請專利範圍第5項所述記憶體內資料移動之方法，





## 六、申請專利範圍

其中該些第二記憶體位址為連續，則記憶體提供一目目標記憶體位址，用以將使記憶體控制電路將該些對應資料直接儲存至該些第二記憶體位址。

10. 一種電腦系統，包含有：

- 一處理器，用來控制該電腦系統之運作；
- 一記憶體，具有不同位址之複數個第一記憶體位址與複數個第二記憶體位址；以及
- 一記憶體控制電路，電連接於該處理器與該記憶體之間，該記憶體控制電路具有一內部資料移動控制電路，用來依據該些第一記憶體位址取得複數個對應資料，然後再將該些對應資料直接儲存到該些第二記憶體位址上，而不傳輸至該處理器。

11. 如申請專利範圍第10項所述之電腦系統，其中該記憶體控制電路更包括：

- 一位址暫存器，接收該些第一記憶體位址與該些第二記憶體位址；以及
- 一資料暫存器，儲存該些對應資料。

12. 如申請專利範圍第10項所述之電腦系統，其中該記憶體控制電路係設置於一北橋電路中。

13. 如申請專利範圍第10項所述之電腦系統，其中該記



#### 六、申請專利範圍

憶體包含有一顯示記憶體以及一系統記憶體。

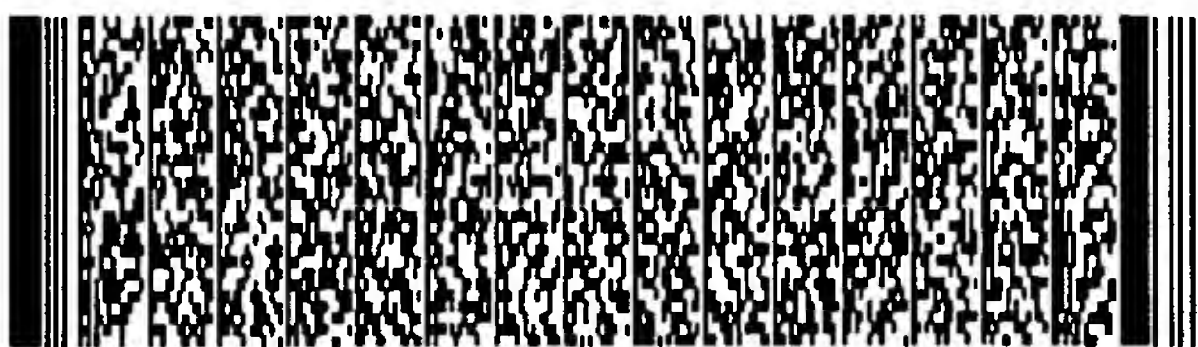
14. 如申請專利範圍第11項所述之電腦系統，其中該些第一記憶體位址在該顯示記憶體中，該些第二記憶體位址在該系統記憶體中。

15. 如申請專利範圍第11項所述之電腦系統，其中該些第一記憶體位址在該系統記憶體中，第二記憶體位址在該顯示記憶體。

16. 如申請專利範圍第10項所述之電腦系統，其中該些第一記憶體位址為連續，則該些對應資料送到該記憶體控制電路，係將該些對應資料之一來源記憶體位址與一位元長度送到該記憶體控制電路，並提供至少一目標記憶體位址，用以使該記憶體控制電路將該些對應資料直接儲存至該些第二記憶體位址上。

17. 如申請專利範圍第10項所述之電腦系統，其中該些第一記憶體位址為不連續，則提供一第一記憶體位址表單，給該記憶體控制電路，用以接收該些對應資料。

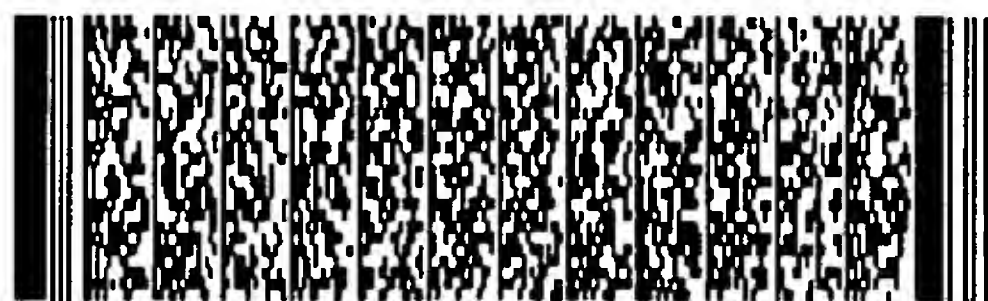
18. 如申請專利範圍第17項所述之電腦系統，其中該第一記憶體位址表單由該電腦系統之作業系統所產生。

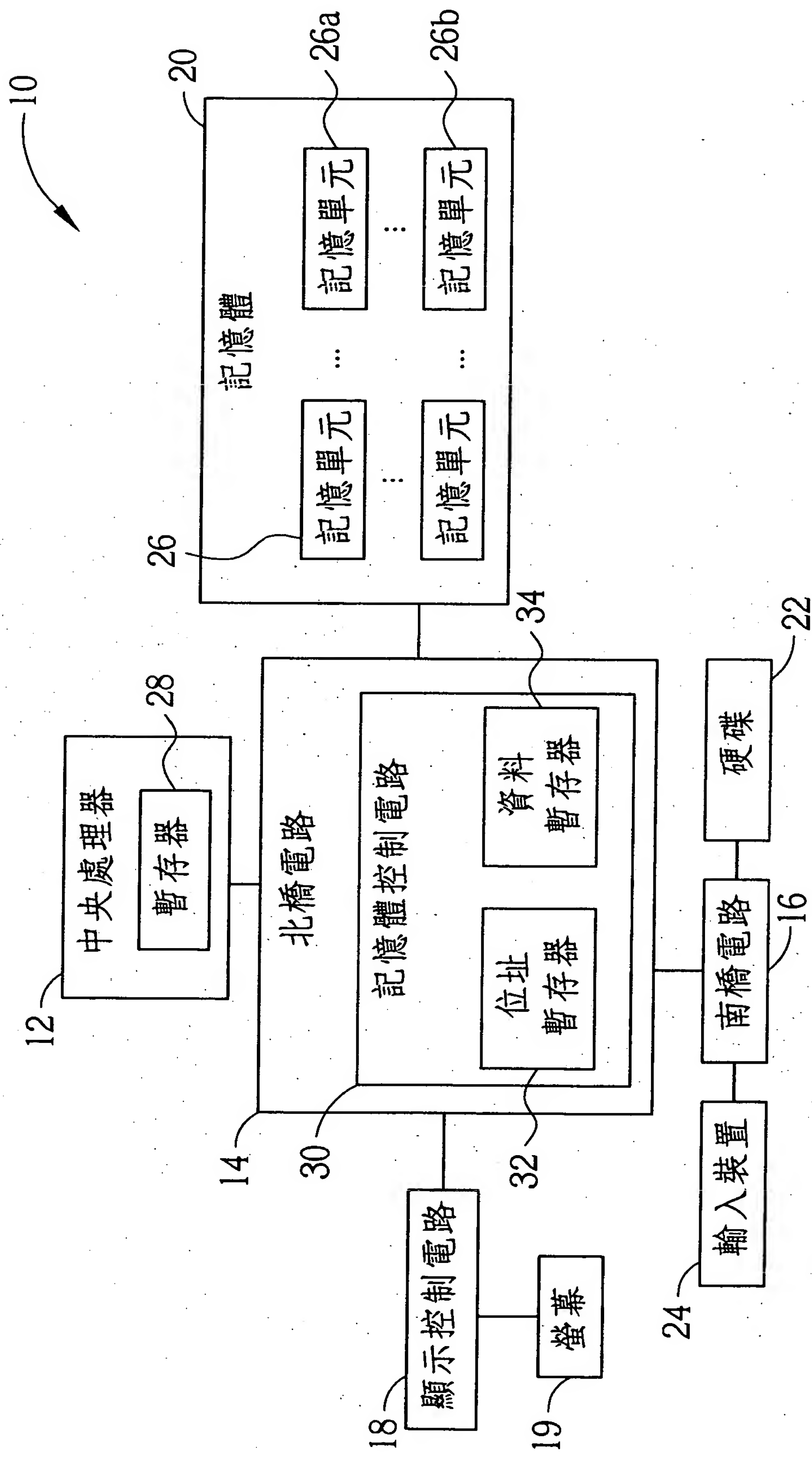


六、申請專利範圍

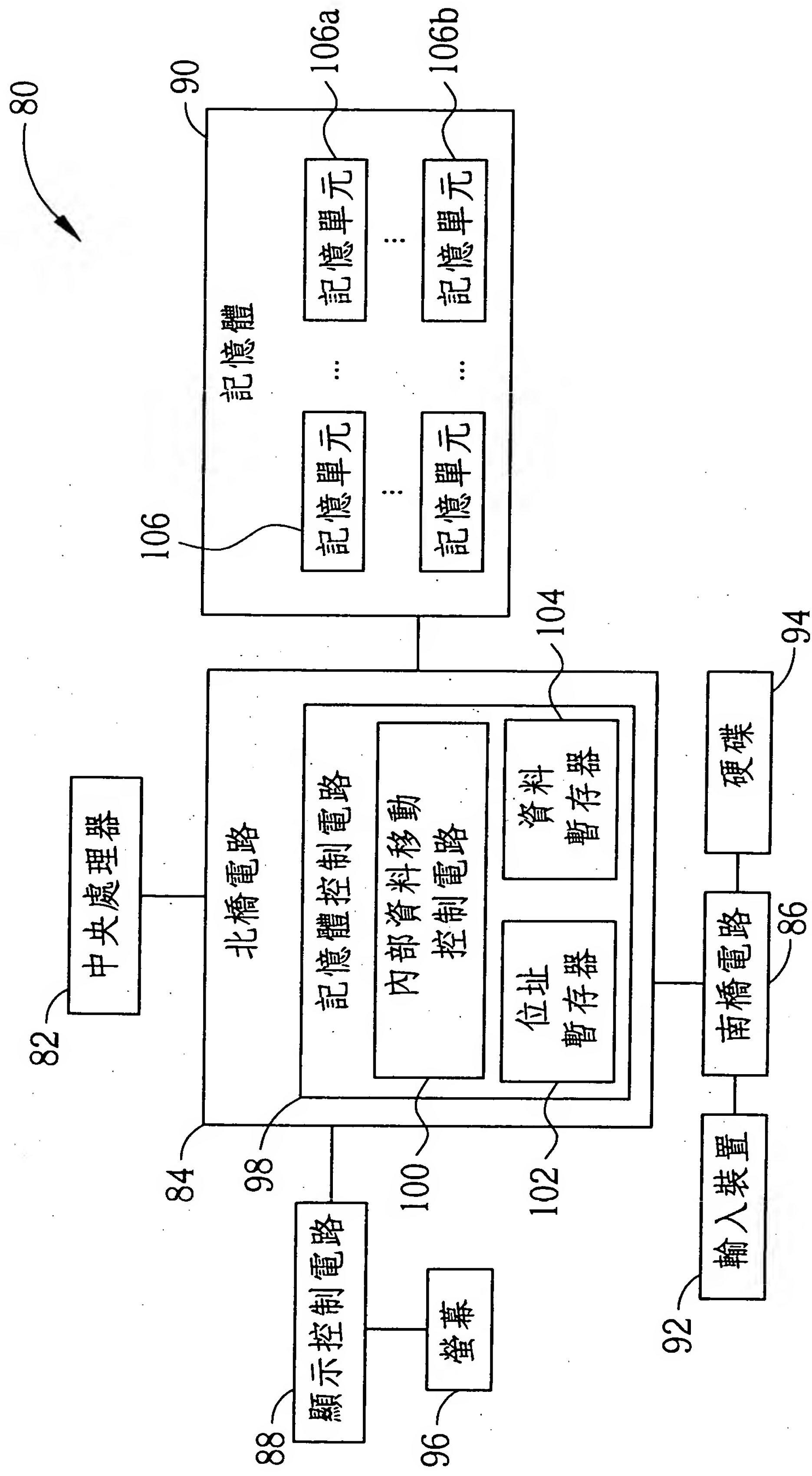
19. 如申請專利範圍第17項所述之電腦系統，其中該該些第二記憶體位址為不連續，則提供一第二記憶體位址表單，使記憶體控制電路將該些對應資料直接儲存至該些第二記憶體位址上。

20. 如申請專利範圍第19項所述之電腦系統，其中該第二記憶體位址表單由該電腦系統之作業系統所產生。





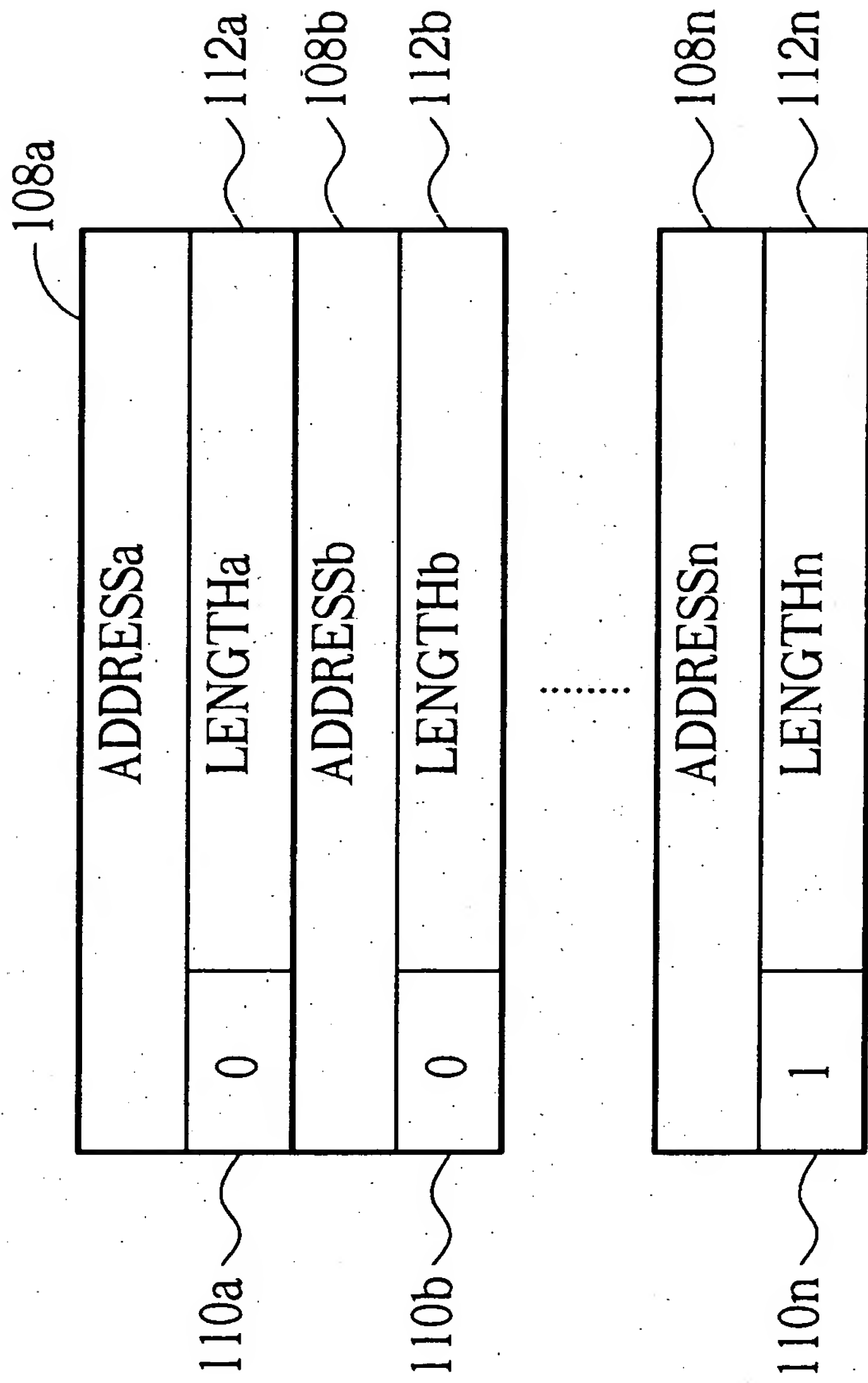
圖一



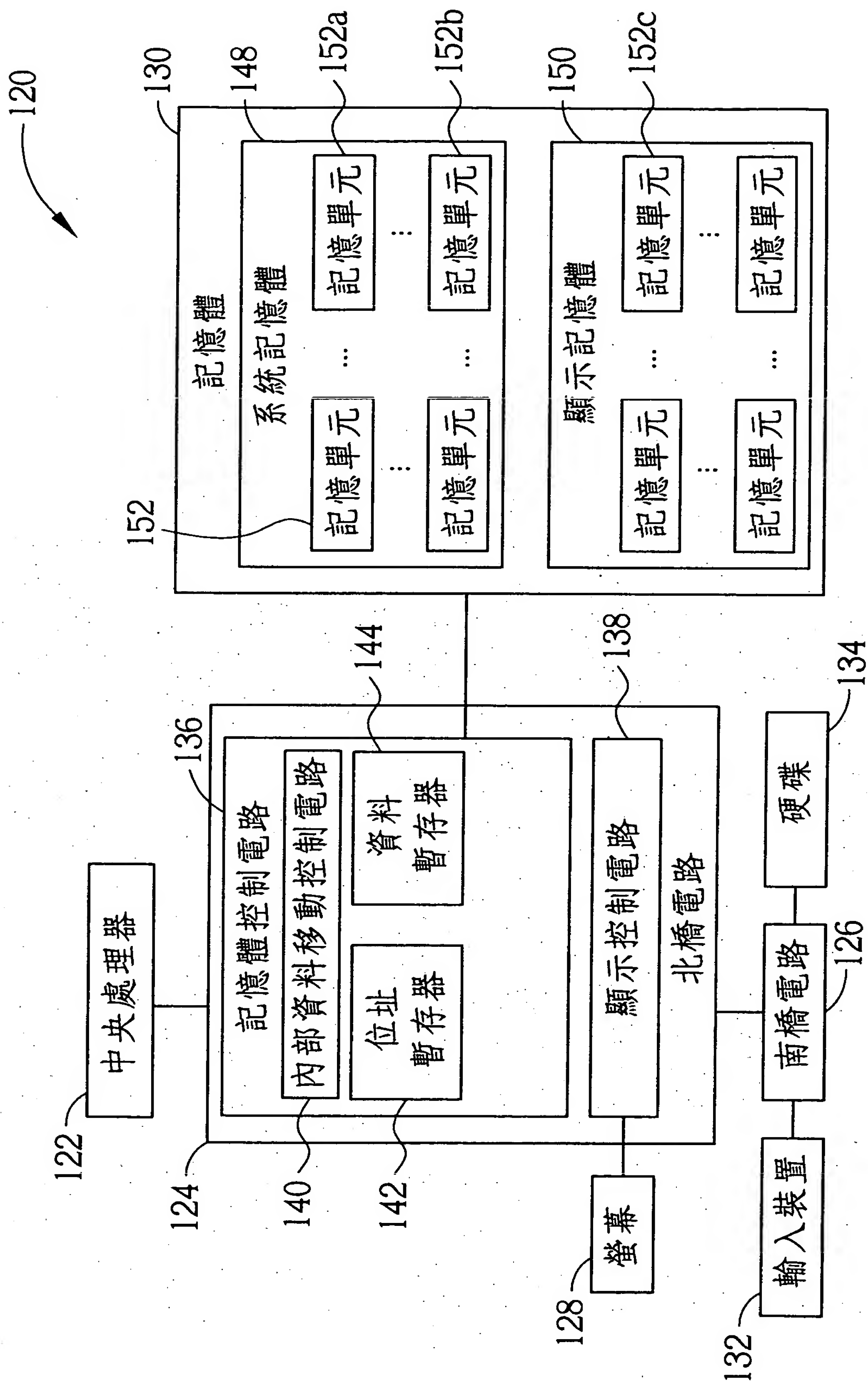
圖二



107

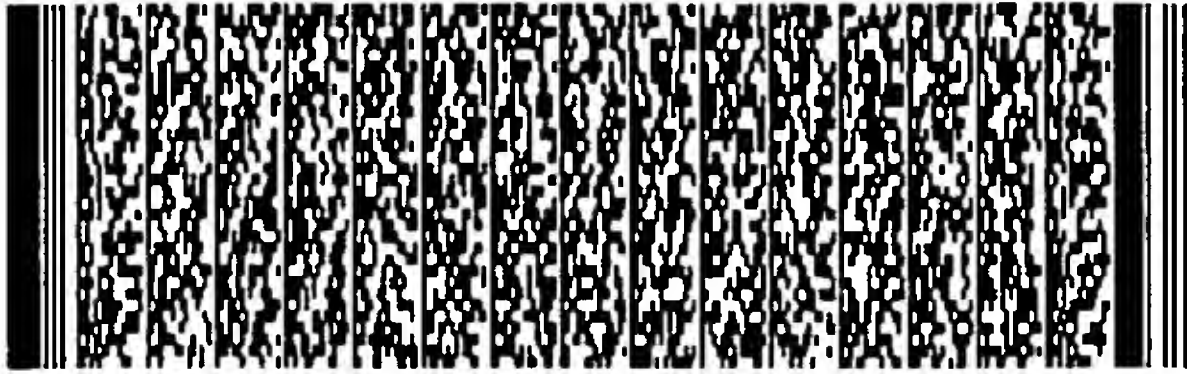


圖三

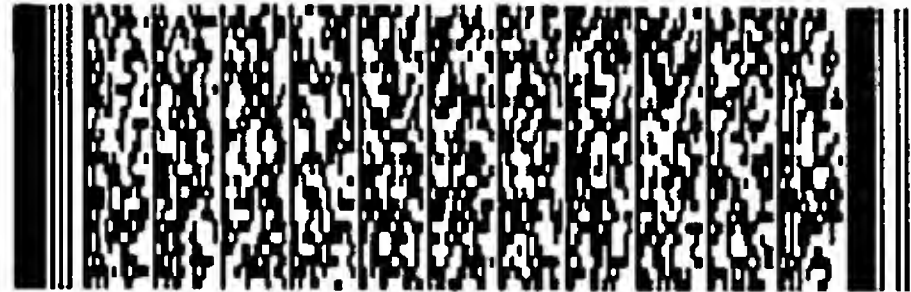


圖四

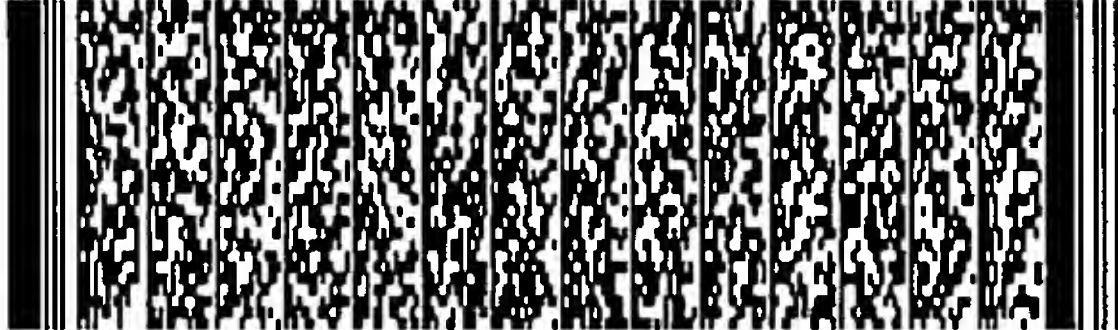
第 1/21 頁



第 2/21 頁



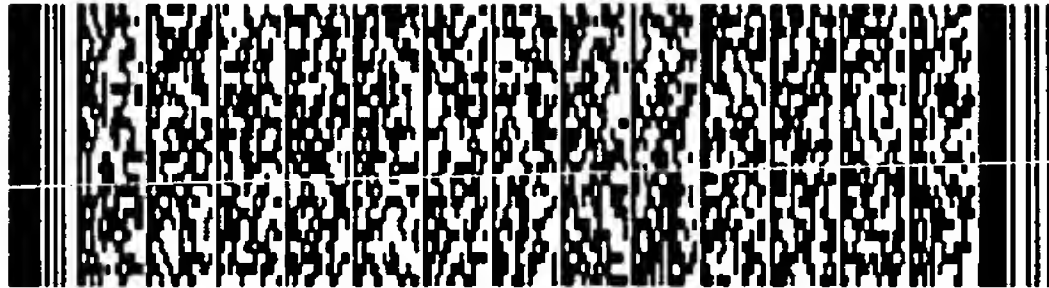
第 3/21 頁



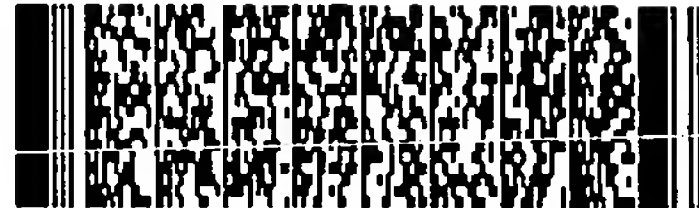
第 3/21 頁



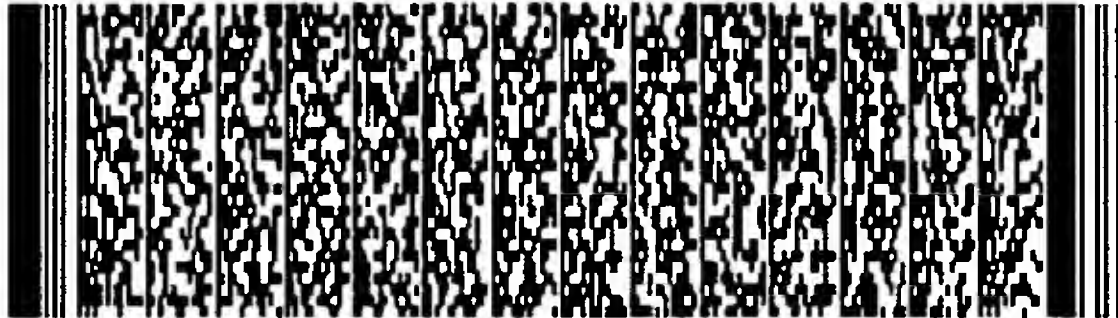
第 4/21 頁



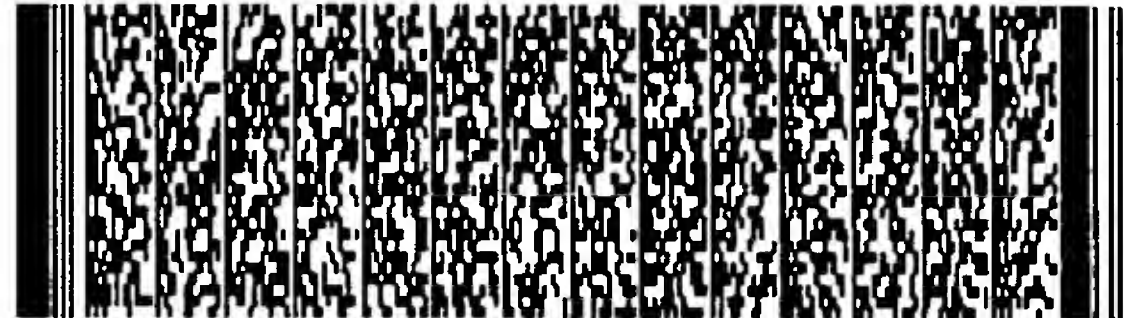
第 5/21 頁



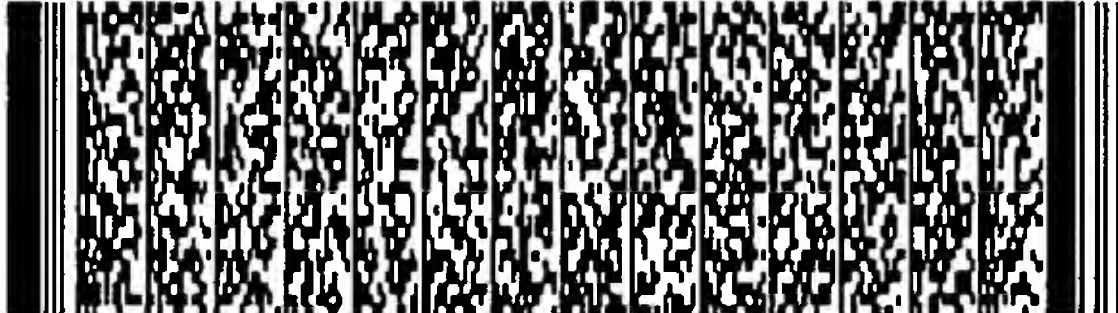
第 6/21 頁



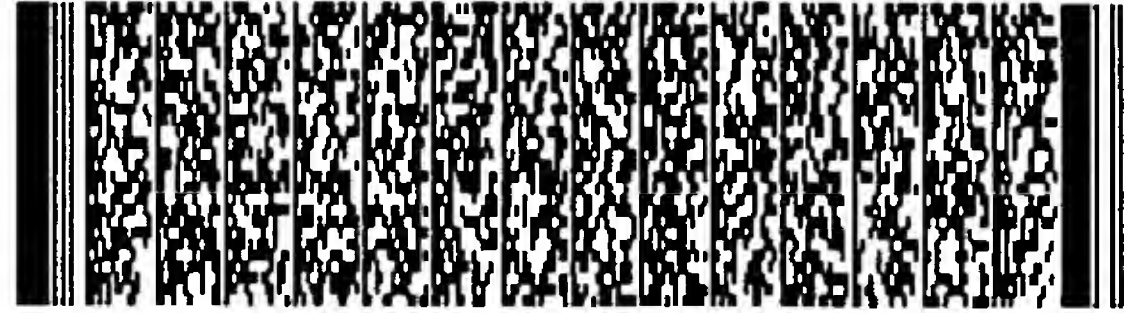
第 6/21 頁



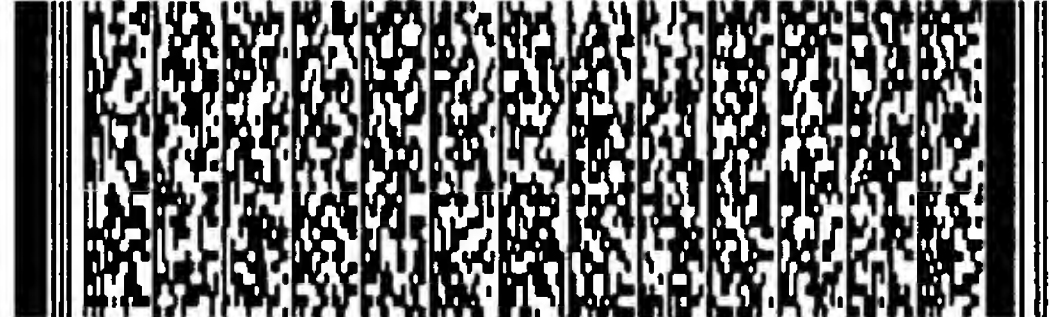
第 7/21 頁



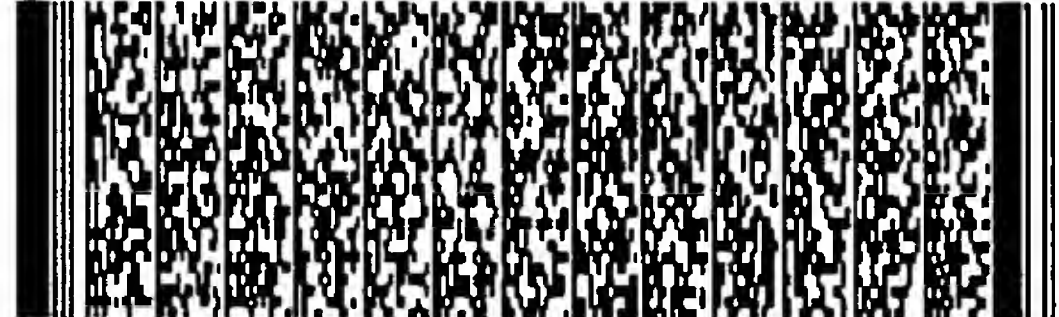
第 7/21 頁



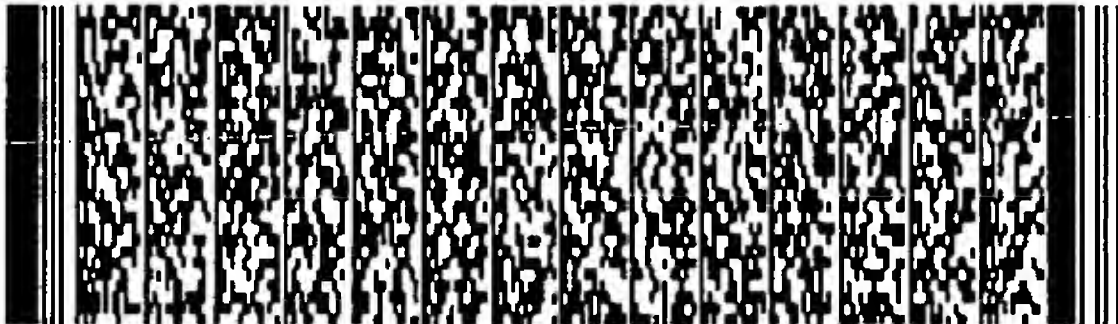
第 8/21 頁



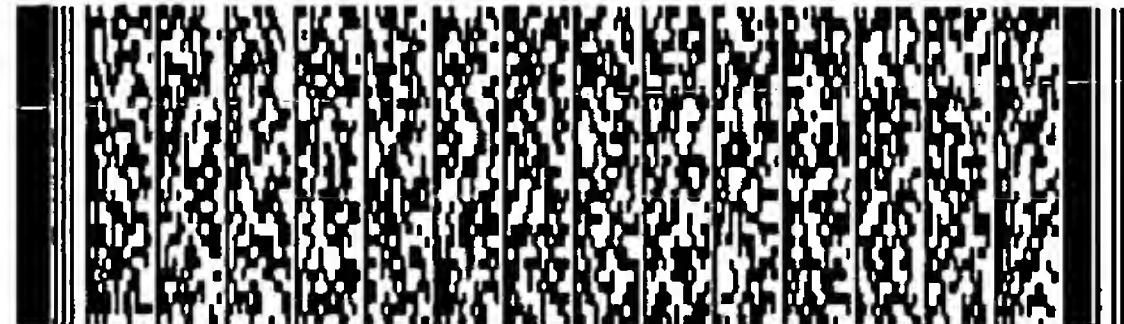
第 8/21 頁



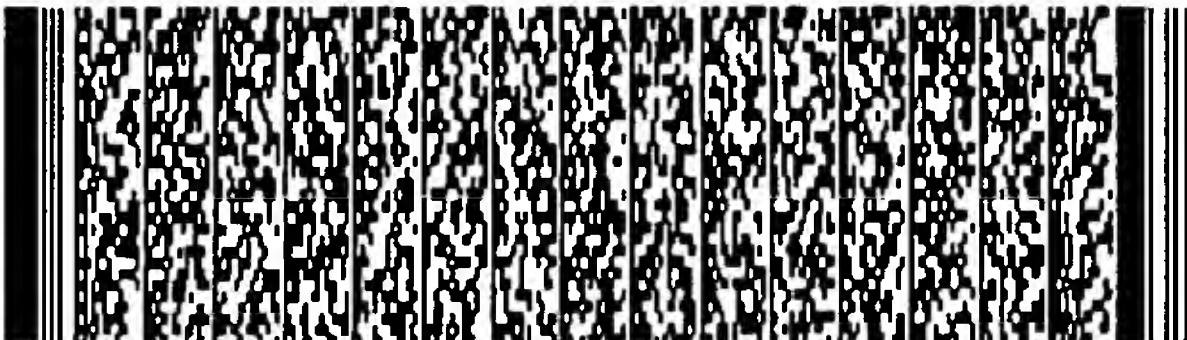
第 9/21 頁



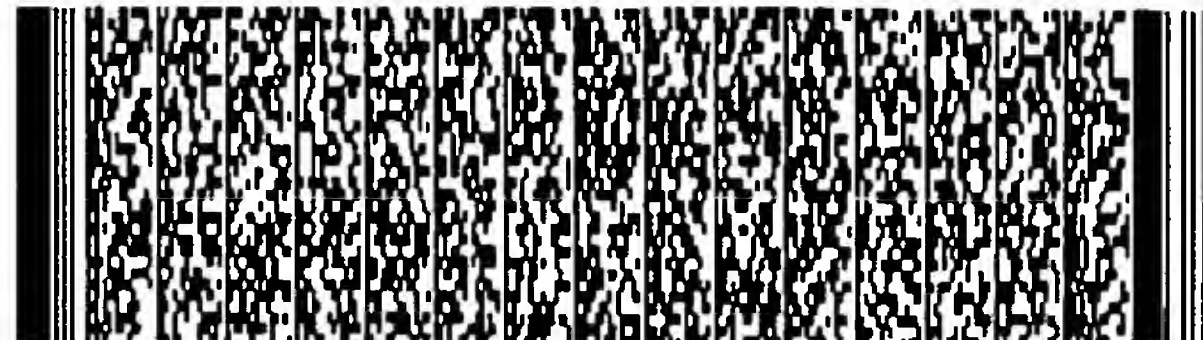
第 9/21 頁



第 10/21 頁

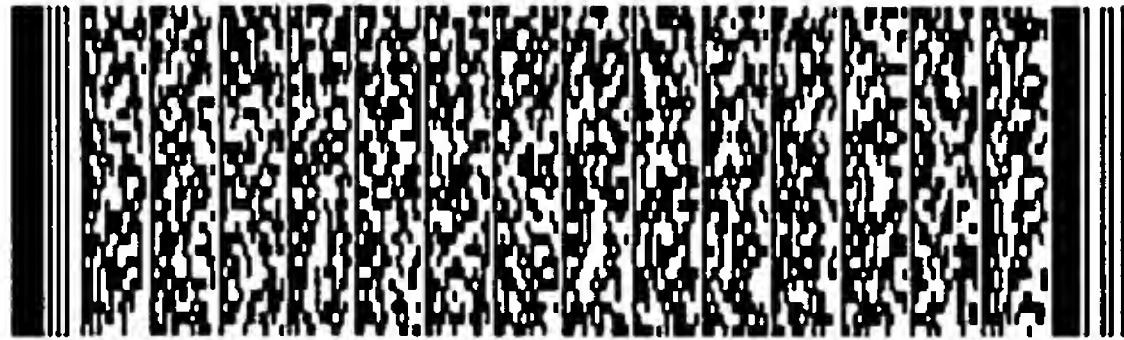


第 10/21 頁

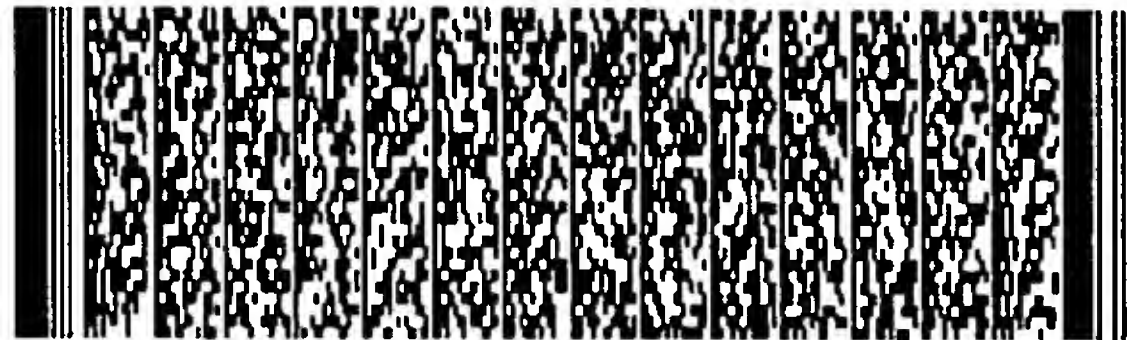




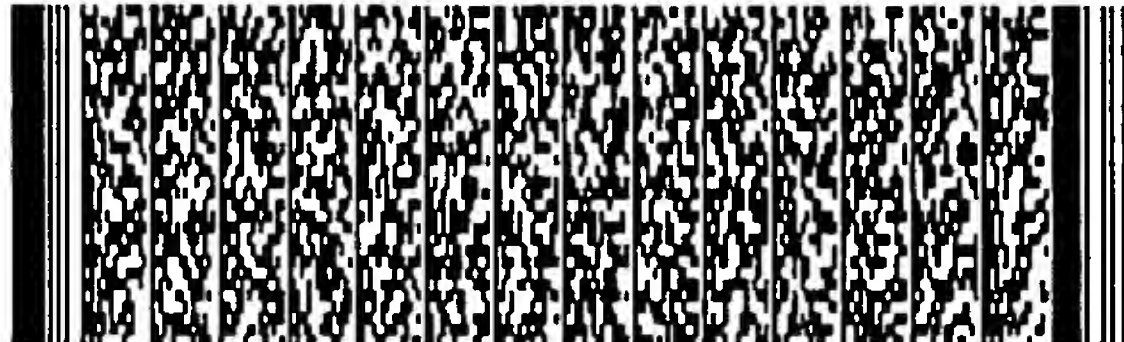
第 11/21 頁



第 11/21 頁



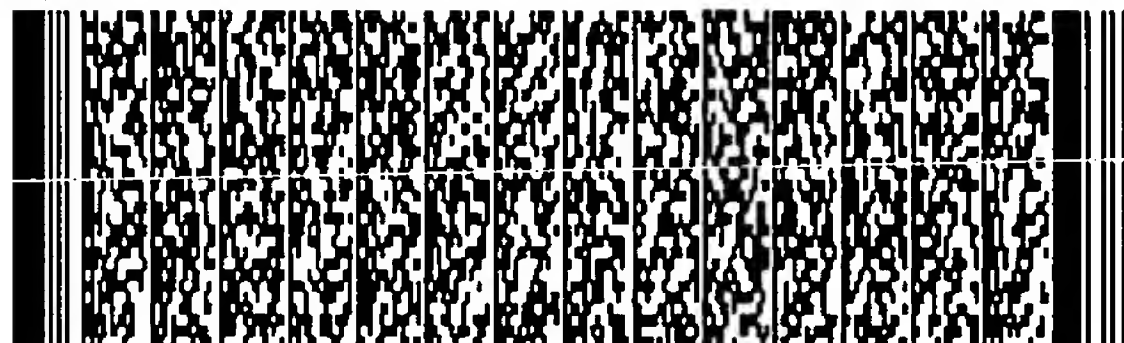
第 12/21 頁



第 12/21 頁



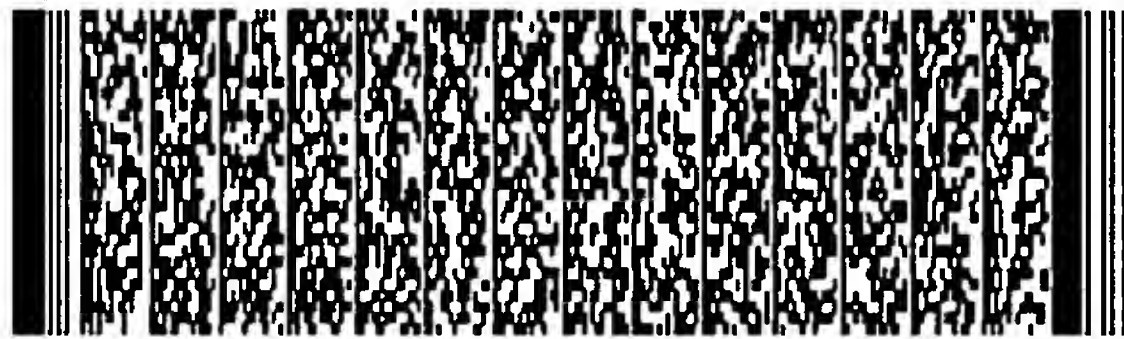
第 13/21 頁



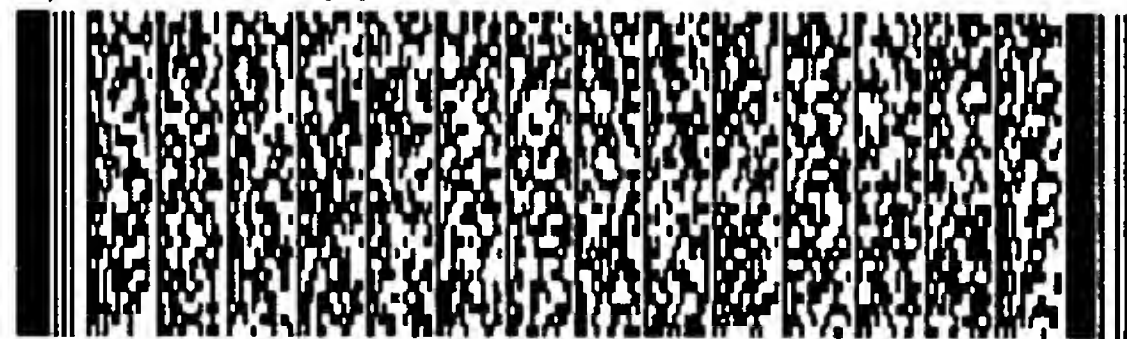
第 13/21 頁



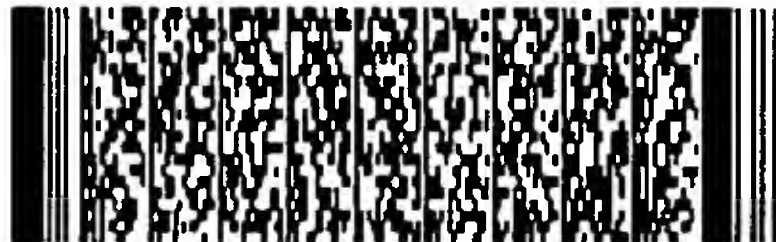
第 14/21 頁



第 14/21 頁



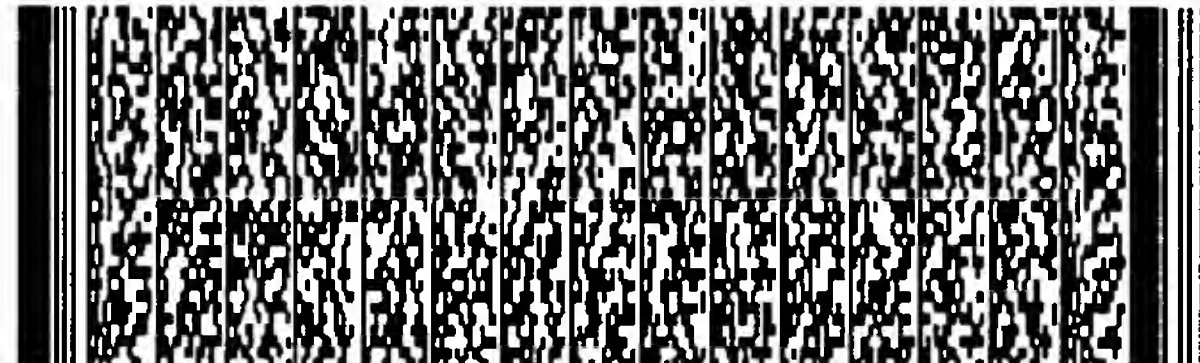
第 15/21 頁



第 16/21 頁



第 17/21 頁



第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

